

Документ подписан простой электронной подписью  
Информация о владельце:  
ФИО: Косенок Сергей Михайлович  
Должность: ректор  
Дата подписания: 19.06.2024 06:49:49  
Уникальный программный ключ:  
e3a68f3eaa1e62674b54f4998099d3d6bfdcf836

**Оценочные материалы для текущего контроля и промежуточной аттестации по дисциплине  
Цифровая схемотехника**

Код, направление подготовки	09.03.04 Программная инженерия
Направленность (профиль)	Программное обеспечение компьютерных систем
Форма обучения	Очная
Кафедра-разработчик	Автоматики и компьютерных систем
Выпускающая кафедра	Автоматики и компьютерных систем

### Типовое задания для контрольной работы:

1. Преобразовать ФАЛ в формат СДНФ.

$$F = \bar{a} \bar{b} c \bar{d} \vee \bar{a} b \bar{c} d \vee a \bar{c} d \vee a b d$$

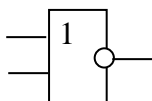
2. Минимизировать логическую функцию методом карт Вейча.

$$F = \bar{a} \bar{b} c d \vee \bar{a} b \bar{c} d \vee \bar{a} b c d \vee a b \bar{c} d$$

3. Минимизировать логическую функцию методом Квайна.

$$F = \bar{a} \bar{b} c d \vee \bar{a} b \bar{c} d \vee \bar{a} b c d \vee a b \bar{c} d$$

4. Реализовать логическую функцию в базисе 2И - НЕ.



5. Преобразовать ФАЛ по правилу Де-Моргана.

$$F = \bar{a} \bar{b} \bar{c}$$

### Типовые вопросы к экзамену:

<p>1. Алгебра логики. Законы алгебры логики. Правило Де Моргана.</p> <p>2. Понятие базиса. Минимальный базис: базис И-НЕ, ИЛИ-НЕ. Доказательство функциональной полноты.</p> <p>3. Канонические формы представления функций (ДНФ, СДНФ, КНФ, СКНФ), методы преобразования.</p> <p>4. Методы минимизации функций, их назначение: Метод Квайна. Метод карт Вейча. Синтез устройств по недоопределенным ФАЛ.</p> <p>5. Типы базовых логических элементов. Базовый логический элемент ТТЛ, схема, принцип работы. Разновидности базового логического элемента ТТЛ: схемотехнические особенности, область применения, особенности коммутации.</p> <p>6. ИМС. Параметры и свойства микросхем. Типы корпусов.</p> <p>7. Логические элементы. Типы, функционирование. Нейтрализация «лишних» входов и компенсация дефицита входов.</p> <p>8. Декодеры. Назначение, способы построения, принцип действия. ФАЛ декодера. Принципы реализации логических функций. Кодеры.</p> <p>9. Мультиплексоры. Назначение, принципы действия. ФАЛ. Реализация логических функций на мультиплексорах. Увеличение порядка (мультиплексорные деревья). Демультимплексоры.</p> <p>10. Сумматоры. Компараторы. Назначение, принципы действия. Нарращивание разрядности. ФАЛ.</p> <p>11. Последовательностные логические устройства. Триггеры. Назначение, принципы действия, классификация.</p>	<p>теоретический</p>
--	----------------------

<p>12. Двухтактные триггеры. Обоснование необходимости двухтактности. Примеры. Статические и динамические триггеры.</p> <p>13. Синтез цифровых автоматов (последовательностных устройств). Способы представления функционирования.</p> <p>14. Регистры. Назначение, принципы построения, классификация. Преобразование параллельного кода в последовательный и наоборот. Делители, формирователи импульсов, фазорасщепители. Регистровые файлы.</p> <p>15. Счетчики. Классификация. Способы формирования ускоренного переноса. Нарращивание разрядности. Методы организации двоично-кодированных счетчиков. Примеры. Программируемые счетчики (с изменяемым модулем счета).</p> <p>16. Классификация запоминающих устройств. Характеристики. Способы увеличения емкости ЗУ.</p>	
---	--

<ol style="list-style-type: none"> <li>1. По ФАЛ реализовать устройство на логических элементах.</li> <li>2. По ФАЛ реализовать устройство на декодерах.</li> <li>3. По ФАЛ реализовать устройство на мультиплексорах.</li> <li>4. По представленной схеме составить временную диаграмму.</li> <li>5. По представленному графу составить схему цифрового автомата.</li> <li>6. Для представленной схемы составить временную диаграмму.</li> <li>7. На микросхемах ИЕ5 составить схему счетчика с модулем счета 140(модуль счета больше чем в ИМС).</li> </ol>	<p>практический</p>
---	---------------------